

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-231747

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

G11C 11/406

(21)Application number : 08-342823

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>

(22)Date of filing : 24.12.1996

(72)Inventor : TIMOTHY J DILL  
MARK WILLIAM KELLOG

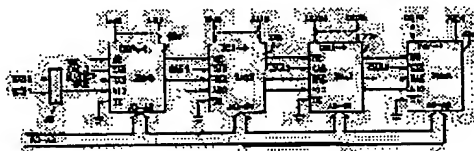
(30)Priority

Priority number : 96 582010 Priority date : 02.01.1996 Priority country : US

## (54) METHOD AND SYSTEM FOR CORRECTING SIGNAL RECEIVED BY MEMORY CARD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a computer system, SIMM(Single Inline Memory Module) constitution, and an operating method which allows a system using a memory controller to use a DRAM (Dynamic Random Access Memory) having more row addresses than that supplied by the memory controller. **SOLUTION:** This system converts one of the RAS(Row Activation Strobe) signal from the memory controller into the upper address bit of the memory row and therefore, constitutes an addressing space of the Y+1 rows. It is preferable that the system includes a logical circuit loaded on the ASIC chip 36. Moreover, this logical circuit generates a master RAS signal when any RAS generated by the memory controller becomes active. This logical circuit performs the refresh operation of all storing regions during the RAS only refresh (ROR) operation.



## LEGAL STATUS

[Date of request for examination] 22.12.1999

[Date of sending the examiner's decision of rejection] 22.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-231747

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.<sup>5</sup>

G11C 11/406

識別記号

庁内整理番号

F I

G11C 11/34

技術表示箇所

363 J

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21) 出願番号 特願平8-342823

(22) 出願日 平成8年(1996)12月24日

(31) 優先権主張番号 08/582010

(32) 優先日 1996年1月2日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 ティモシー・ジェイ・デル

アメリカ合衆国05446 バーモント州コルチェスター パークウッド・ドライブ 9

(74) 代理人 弁理士 合田 潔 (外2名)

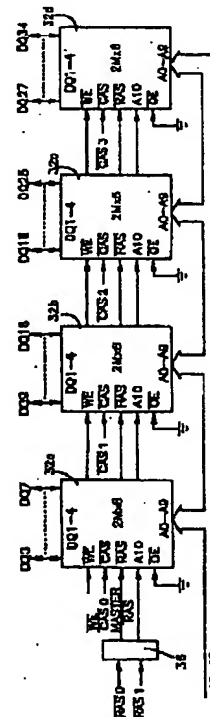
最終頁に続く

(54) 【発明の名称】 メモリ・カードで受信した信号を修正する方法およびシステム

(57) 【要約】

【課題】 メモリ制御器によって供給されるよりも多数の行アドレスを有するDRAMを、前記メモリ制御器を使用するシステムが使用できるようにする、コンピュータ・システムおよびS I M M構成と動作方法を提供する。

【解決手段】 このシステムは、メモリ制御器からのRAS信号の1つをメモリ行の上位アドレス・ビットに変換し、したがってY+1行のアドレス可能空間を構成する、好ましくはASICチップ36上に搭載された論理回路を含む。また、この論理回路は、メモリ制御器によって生成されたいずれかのRASがアクティブになるとマスターRAS信号を生成する。この論理回路は、RASオンリー・リフレッシュ (ROR) 操作中にすべての記憶場所のリフレッシュ操作も行うことができる。



## 【特許請求の範囲】

【請求項1】Y+1ビットの行アドレスを有するDRAMチップから成り1つのRAS信号によって作動させられるメモリを、Y個の行アドレス信号と第1および第2のRAS信号を出力するメモリ制御器からの信号を使用してコンピュータ・システムにおいて制御する方法であって、

前記第1のRAS信号を前記Y+1アドレスの上位ビットとして供給するステップと、前記第1と第2のRAS信号のうちどちらかがアクティブになるのに応答してアクティブになるマスタRAS信号を形成するステップとを含み、

前記システムが前記第1と第2のRAS信号が同時にアクティブになることに基づいて各行アドレスに対して個別に順次にリフレッシュ操作を行い、リフレッシュ・サイクル中に前記アドレスの前記上位ビットとしての前記第1のRAS信号の印加を制御して所与の数のリフレッシュ・サイクル後に各行のリフレッシュを行う方法。

【請求項2】前記マスタRAS信号を生成する論理と前記上位ビットがASICチップ上で生成されることを特徴とする、請求項1に記載の方法。

【請求項3】前記リフレッシュ・サイクルがカウントされ、リフレッシュのためにアクティブにされる行が前記カウントの関数であることを特徴とする、請求項1に記載の方法。

【請求項4】前記マスタRAS信号を生成する論理と前記上位ビットがASICチップ上で生成され、リフレッシュ・サイクルがカウントされ、リフレッシュのためにアクティブにされる行が前記カウントの関数であることを特徴とする、請求項1に記載の方法。

【請求項5】前記リフレッシュされるメモリがコンピュータ・システム内のメモリ・カード上にあることを特徴とする、請求項1に記載の方法。

【請求項6】前記DRAMチップが、11行×10列構成でアドレス指定される2M×8ビットのDRAMを含むことを特徴とする、請求項1に記載の方法。

【請求項7】Y+1ビットの行アドレスを有するDRAMチップから成り1つのRAS信号によって作動させられるメモリを、Y個の行アドレス信号と第1および第2のRAS信号を出力するメモリ制御器からの信号を使用してコンピュータ・システムにおいて制御する方法であって、

前記第1のRAS信号を前記Y+1アドレスの上位ビットとして供給するステップと、前記第1と第2のRAS信号のうちどちらかがアクティブになるのに応答してアクティブになるマスタRAS信号を形成するステップとを含み、

前記1つのRAS信号のイナクティブ状態とアクティブ状態との間の遷移時間と、前記マスタRAS信号のイナクティブ状態とアクティブ状態との間の遷移時間とを制御

して、前記1つのRASの遷移が前記マスタRASの遷移の前に起こるようにする方法。

【請求項8】前記マスタRASと上位ビットを形成する前記RASとがASICチップによって生成されることを特徴とする、請求項7に記載の方法。

【請求項9】Y個の行アドレス信号と第1および第2のRAS信号を出力するメモリ制御器と、Y+1ビットの行アドレスを有するDRAMチップを含むメモリと、

10 前記メモリ制御器から前記第1および第2のRAS信号を受け取り、前記第1または第2のRAS信号がアクティブになるのに応答してマスタRAS信号を生成し、前記第1のRASがアクティブになると前記アドレスの上位ビットを生成する論理回路とを含み、

前記論理回路が、前記メモリ制御器からの前記第1および第2のRAS信号に同時に応答して各行アドレスに対して個別に順次にリフレッシュ操作を行うことができるようにする回路を有し、リフレッシュ・サイクル中に前記アドレスの前記上位ビットに対する前記第1のRAS信号の印加を制御することを特徴とするコンピュータ・システム。

【請求項10】前記論理回路が、リフレッシュ・サイクル中に上位アドレス・ビットとしての前記第1のRAS信号の印加を制御するように接続されたカウンタを含むことを特徴とする、請求項9に記載のシステム。

【請求項11】前記論理回路がASICチップ上に配置されていることを特徴とする、請求項9に記載のシステム。

30 【請求項12】前記メモリがDRAMカードであることを特徴とする、請求項9に記載のシステム。

【請求項13】前記メモリが11行×10列のアドレス構成の2M×8ビットDRAMを含むことを特徴とする、請求項9に記載のシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般的にはメモリとしてSIMMを使用するパーソナル・コンピュータ・システムに関し、より特定的にはSIMMが、DRAMをアドレス指定するメモリ制御器からの行アドレス信号数よりも大きな行アドレス空間を有するDRAMを使用するように構成された、パーソナル・コンピュータ・システムとそのパーソナル・コンピュータ・システム上で使用するSIMMとに係わる。

## 【0002】

【従来の技術】オンボード・メモリとしてシングル・インライン・メモリ・モジュール(SIMM)を使用するように調整されたパーソナル・コンピュータ・システムが設計されている。SIMMは、ランダム・アクセス・メモリ(RAM)を使用し、このRAMはダイナミック・ランダム・アクセス・メモリ(DRAM)でもスタ

イック・ランダム・アクセス・メモリ (SRAM) でもよい。コンピュータ・システムは、メモリとの間でデータの読出しまたは書込みを行うために中央演算処理装置 (CPU) からメモリに送られる様々な信号を制御する集積回路 (IC) チップの形態のメモリ制御器を使用する。メモリ制御器は、DRAMチップおよびS IMMの特定の構成に対応するように設計される。たとえば、これまで一般的なS IMMは、16個の1M×4のDRAMチップを使用して8メガバイトのメモリを実現する72ピンS IMMであった。この構成は、記憶場所のアドレス指定用に特定の数のピンを割り振り、読出しサイクルまたは書込みサイクルでDRAMをアクティブにするために2つの行アクチベーション信号 (RAS) を供給する。DRAMは、それぞれ8個のチップから成る2組のチップの形に機能的に配列され、各組が10個の行アドレスと10個の列アドレスを有する。このようなアドレス構成を10×10と呼ぶ。したがって、一方の8個のチップの組について1つのRASと他方の8個のチップの組について1つのRASの、2つのRASが必要となる。したがって、この方式を2組のアドレス可能チップを使用する10×10アドレス指定と呼ぶ。1つの組のDRAMチップをアドレス指定するには、RAS信号のうちの一方をアクティブにし、他方の組のDRAMチップをアドレス指定するには他方のRAS信号をアクティブにする。

**【0003】** チップ技術が進歩し、より大型のチップが低価格になるに伴い、いくつかのチップを1つのチップに置き換えた方が経済的になる。魅力的な価格で容易に入手可能になっているチップの1つの特定の構成は、1M×4の4倍のデータ量が入る2M×8チップである。したがって、4個の2M×8チップは、16個の1M×4チップと同じ量のデータを記憶することができる。したがって、コスト上の理由からS IMMではこれらのチップを使用することが望ましい。しかし、これらのよりコスト効果の高いチップを実装または使用する際には、1M×4チップ用に設計された既存のメモリ制御器を有するシステムで使用することが望ましい。これによって問題が生じる。2M×8のS IMMは、1M×4チップで必要であった10個ではなく11個の行アドレスを必要とし、したがって、もう1つピンを追加し、大幅な再設計をしなければこの使用可能な行アドレスがなくなり、そのようにした場合でも、72個のピンすべてが通常使用されているため、設計は困難になる。しかし、4個のチップの読出し機能または書込み機能をアクティブにするのにRAS信号は1つだけでよい。したがって、11行の限界を克服する1つの技法は、RAS線のうちの1つの線の信号を使用して11番目の行アドレス空間上のアドレス・ビットとして機能させることである。これは有効ではあるが、ある特定の欠点がある。欠点の1つは、RASのうちの1つを直接11番目のアドレス・

ビットに使用すると、リフレッシュ機能をCBR (CASビフォアRAS) と呼ばれるCASビフォアRAS信号構成によって行うのではなく、ROR (RASオンリー・リフレッシュ) と呼ばれる両方のRASがローになることによってリフレッシュを行う場合、リフレッシュ機能に対応しなくなることである。これは、両方のRASがアクティブになっているときに11番目のアドレス・ビットが常にアクティブであり、したがってチップの半分、すなわち、チップのうち、最上位ビットである11番目のアドレス空間内の活動ビットを使用するアドレス部分しかリフレッシュされないためである。もう一つの問題は、2M×8チップには1つのRASアクチベーションしか必要でないため、どちらかのRAS入力信号がローになると行アクチベーションを行うANDゲートなどの論理回路が必要になることである。この追加の論理回路は、2つのRAS信号を結合して単一のマスターRAS信号にする論理回路に従うチップ上のRAS信号のアクチベーションに対して、特に11番目の行アドレスのアクチベーションを行うタイミングに関するタイミングの問題を生じさせる可能性がある。

#### 【0004】

**【発明が解決しようとする課題】** したがって、本発明の1つの目的は、メモリ制御器によって供給されるよりも多数の行アドレスを有するDRAMを、そのようなメモリ制御器を使用するシステムが使用できるようにする、コンピュータ・システムおよびS IMM構成と動作方法を提供することである。

#### 【0005】

**【課題を解決するための手段】** システムのメモリ制御器が第1および第2のRAS信号と、メモリ内のY行のアドレスのアドレス・ビットとを生成し、システムのメモリが1つのRASによって操作可能なY+1行のアドレスで構成されているコンピュータ・システムおよび動作方法を提供する。このシステムは、メモリ制御器からの前記RAS信号の1つをメモリ行の上位アドレス・ビットに変換し、それによってY+1行のアドレス・アクチベーション空間を構成し、メモリ制御器によって生成されたいずれかのRASがアクティブになるとマスターRAS信号を生成する論理回路を、好ましくはASICチップ上に備える。この論理回路は、RASオンリー・リフレッシュ (ROR) 操作中にすべての記憶場所のリフレッシュ操作も行うことができる。

#### 【0006】

**【発明の実施の形態】** メモリの機能を提供し、制御するダイナミック・ランダム・アクセス・メモリ (DRAM) チップを有するシングル・インライン・メモリ・モジュール (S IMM) を備え、インテル80386または80486あるいはペンティアム・マイクロプロセッサを使用したIBMパーソナル・コンピュータの環境における好ましい実施態様について以下に説明する。(S

IMMを、DRAMカードと呼ぶ場合もあり、これはDRAMと、SIMM上のすべてのチップおよび回路を意味する。)この説明では、書き込むデータ・バイトのそれぞれについてパリティ・ビットを生成することができ、記憶装置からパリティ情報を読み出して比較することもできるCPUと共に使用するシステムについて説明するが、そのようなパリティ生成は本発明の目的にとって本質的なものではない。

【0007】図1からわかるように、CPUバスまたはシステム・バス12に接続されたCPU10が設けられて10 いる。CPU10によってバス12との間で書き込みまたは読出しされるデータのパリティを生成または検査するパリティ生成および検査装置13を設けることが好ましい。CPUバス12は、ローカル入出力ポート14と、キャッシュ・メモリ16と、それに付随するファームウェアまたはその他のサブシステム18も設けることができる。システム・バス12にはメモリ制御器20も接続され、システム・バス12をメモリ・サブシステム22と、もしある場合には拡張バス24に結合する。メモリ・サブシステム22は、典型的には1つまたは複数の20 のSIMM26であり、それぞれがDRAMチップを備える。(リフレッシュが不要なSRAMとは異なり、DRAMは周期的なリフレッシュ操作を必要とする。)説明するシステムは、このDRAMチップの構成と信号使用法を用いることができるシステムの実施例であるが、他のシステムも本発明のDRAM構成を有するSIMMと共に使用することができるものと理解されたい。

【0008】前記のように、CPU10はバス12にデータを書き込むことができ、そのデータはさらにメモリ制御器20によってサブシステム22内の正しいメモリ30 ・アドレスに送られる。CPU10によるデータの書き込みと同時に、メモリに書き込まれる情報の各バイトについてパリティ・ビットがパリティ生成および検査装置13によって生成される。パリティ生成および検査装置13は、読出しサイクル中にメモリ・サブシステム22から読み取られた情報に関するパリティの検査も行い、パリティ・エラーがないか調べる。メモリ制御器20は、そのうちの2つがこの事例ではRAS0およびRAS1として生成されるRAS信号の行アクチベーション・ストロブ(RAS)、列アクチベーション・ストロブ40 (CAS)、書き込みイネーブル(WE)、およびシステムによっては出力イネーブル(OE)、バイト選択(BS)と、図示されていないその他の信号など必要な信号も、メモリ・サブシステム22に供給する。メモリ制御器は、各SIMM26との間でデータとパリティの両方を読み書きする。本発明は、多くの異なるフォーム・ファクタを有する多様なSIMMに適用可能であるが、2組のDRAMを有し、各組が異なるRAS信号を受け取り、したがって後述するようにメモリ制御器からの2つのRAS信号を必要とする構成の72ピンSIMMにと50

って特に有用であるものと理解されたい。

【0009】次に図2を参照すると、16個の1M×4 DRAMチップ30a~30pを使用して8メガバイトのメモリを実現するSIMM26の典型的な設計が図示されている。各DRAMチップ30は、1M×4として構成され、したがって2つのチップが合わさって1メガバイトのアドレス可能メモリを実現する。図2には、図2に示す構成の10×10アドレス・ビット・メモリ・マトリックスを備えるシステムにおける16個の1M×4チップ30a~30pのJEDEC標準レイアウトが図示されている。16個のチップが合わさって8メガバイトのアドレス可能メモリを実現する。具体的には、RASおよびCASによってアクティブになると、2つのチップが合わさって1メガバイトのアドレス可能メモリを実現する。

【0010】続けて図2を参照すると、16個の1M×4 DRAMチップ30a~30pは、カード上に従来50 の方式で実装され、8メガバイトのSIMMカードを形成している。このSIMMカードは、他の信号のほか、書き込みイネーブル(WE)と、4つのCAS信号CAS0、CAS1、CAS2、およびCAS3と、それぞれSIMM RAS0およびSIMM RAS2とSIMM RAS1およびSIMM RAS3に接続された2つのRAS信号RAS0およびRAS1を受け取り、そのほかにアドレス・バス上のアドレス・ビットA0~A9を受け取る。これらの信号とアドレスはすべて、図1に示すようにメモリ制御器20から供給される。チップは図2に示すように接続されている。注目すべき重要な点は、各チップが行次元に10ビットのアドレスを有し、その結果、各チップの行次元に1K(2<sup>10</sup>、1、024)のアドレス・ビットがあることである。また、2個のチップのそれぞれに列次元の2<sup>10</sup>個のアドレス・ビットがある。したがって、2個のチップのそれぞれが2<sup>10</sup>×2<sup>10</sup>すなわち1メガバイトのアドレス可能空間を有する。したがって、RAS0を起動するとチップ30a~30hの行アドレスが起動し、RAS1を起動するとチップ30iから30pの行アドレスが起動する。したがって、メモリ制御器から8メガバイトのデータがアドレス可能であり、36ビット幅のバスすなわちDQ0~DQ35でデータが供給される。(DQピン8、17、26、および35は図示されていないが、これらは通常パリティ・ビット用に予約されていることに留意されたい。)

【0011】従来技術の1M×4 DRAMチップの代わりに2M×8 DRAMチップを使用するSIMM26の従来技術の実施態様を図3に示す。4個の2M×8 DRAM32a、32b、32c、および32dを使用し、それぞれが行次元に11個のアドレス可能ビット空間と、列次元に10個のアドレス可能ビット空間を有する。11個のアドレス・ビットによって行アドレスに

さらに1,024のアドレスが加わり、行次元に合計2,048個のアドレスが形成される。これらのチップはそれぞれ11×10であるため、1つのチップに2メガバイトのアドレス可能空間が含まれ、したがってチップ32aは図2に示す構成のチップ30a、30b、30iおよび30jに相当し、チップ32bはチップ30c、30d、30k、および30lに相当し、チップ32cはチップ30e、30f、30m、および30nに相当し、チップ32dはチップ30g、30h、30o、および30pに相当する。前記のように、メモリ制御器は行アドレス空間A0～A9のみをアドレス指定するように構成されている。しかし、行アドレス・ビットをもう1つ加えることにより、行次元のアドレス能力が本質的に2倍の2,048個のアドレスになるため、SIMMの行アドレスをアクティブにするのに1つのRAS信号で済む。したがって、RAS読出し/書込みが要求される場合、RAS信号のうちの1つをチップ32a、32b、32c、および32d上の11番目の行アドレス・ビットを起動するために使用することができる。図3に、このような方式の実施態様を示す。RAS0またはRAS1がアクティブになると、マスタRAS信号が生成される。また、RAS信号の1つ、この事例ではRAS1が行アドレスA10の11番目のアドレス・ビットに結合され、このRASがアクティブになると、このA10アドレス空間のビットも提供される。好ましい実施態様ではRAS0信号とRAS1信号はアクティブ・ローであるため、ANDゲート34でRAS0とRAS1との論理積をとる。ANDゲート34は、マスタRAS信号を生成し、その信号はRAS0またはRAS1がローの場合にアクティブ・ローになり、A10アドレス・ビットはRAS1がローの場合にのみ起動される。したがって、RAS0が起動されるとマスタRAS信号が生成され、そのアドレスは下位ビット(A0～A9)にのみあり、上位ビットA10にはなく、したがって下位の1,024アドレスの書込みまたは読出しが行われる。RAS1が起動された場合、マスタRASが生成され、それによってアドレスA10に1ビットが供給され、したがって上位ビット1,025～2,048アドレスの書込みまたは読出しが行われる。

【0012】しかし、この特定の実施態様には2つの問題がある。主要な問題は、システムが従来のRASオンリー・リフレッシュ(ROR)によってDRAMのリフレッシュを行うときに起こる。この従来の方法では、RAS0とRAS1の両方がローになるとリフレッシュ・サイクルが発生する。ANDゲート34も、RAS0とRAS1の両方がローのときにアクティブなマスタRAS信号を生成する。RAS0とRAS1の両方が同時にローになると、データの読出し/書込み操作の許容不能な条件が生じ、したがって、これを使用してリフレッシュを示す。このタイプのリフレッシュは当技術分野で周

知であり、特定の行上のデータは各リフレッシュ・サイクル時に表される。しかし、図3に示す実施態様では、リフレッシュ・サイクルのたびにRAS1がローになり、その結果、A10アドレス・ビットが常に起動されることになり、したがってリフレッシュはA10がアクティブになっていないチップ上の行アドレス、すなわちアドレスがA0～A9アドレス範囲のみに入っている行アドレスでは決して行われぬ。言い換えると、リフレッシュ中、上位行を指定するA10が常にアクティブになるため、上位行(1,025～2,048)のみがリフレッシュされる。

【0013】図3に示す従来の技術の第2の問題は、アドレスA10のアクティブ・アドレス・ビットとRAS信号の切換えのタイミングが、一方のRAS0信号とRAS1信号の遷移レートまたはスルー・レートと他方のANDゲートを通過するマスタRASの遷移レートの潜在的相違によって悪影響を受ける可能性があることである。これを図4に示す信号を参照しながら例示する。

【0014】図4に、RAS1がアクティブになり、それによってマスタRASが起動され、アドレスA10のデータのデータ・ビットが生成される仮定事例を示す。図からわかるように、RAS0はハイのままでありRAS1はローになる。RAS信号はメモリ制御器によって生成され、マスタRASはANDゲート34によって生成されるため、信号が有効になる遷移のレートと遷移点は、メモリ制御器20およびANDゲート34の製造に用いられている異なる技法によって大幅に変わる可能性がある。たとえば、図4に示すように、メモリ制御器20によって生成されたRAS1の遷移時間は、ANDゲート34によって生成されたマスタRASの遷移時間よりもかなり長い。また、マスタRASが有効になる時点、したがって遷移は、マスタRASの勾配上で、A10のアドレス(すなわちRAS1)が有効になる点とは異なる点にある。たとえば、図4に示すように、ANDゲートによってRAS1カーブ上の約1.5ボルトの位置で遷移が起こるのに対して、アドレスはRAS1が約0.8ボルトに下がるまで有効にならない。したがって、この仮定事例では、マスタRASは有効なアドレスがA10アドレス・ポートに存在する前にアクティブになっていることになり、その結果、読出し/書込みサイクル時に無効なデータが生じることになる。この遷移時間および遷移点の差は技法ごとに異なる。さらに、この遷移期間中の不確定な領域によって、不安定な結果が生じる。いずれにしても、これは技法の相違によって異なる遷移時間と遷移カーブ上の異なる遷移発生点が生じる可能性のある潜在的な問題である。

【0015】本発明は、図3および図4に図示した問題を克服し、図5に略図で示す。本発明では、下位と上位の両方のすべてのビットのリフレッシュがRORリフレッシュ・モードで行われ、異なる遷移レートと異なる遷

移点の問題が解決される。2M×8チップ32a～32dのレイアウトは、図3に示すレイアウトと同じである。しかし、図4に示す構成に付随する問題を克服する、ANDゲートのみを使用した論理回路がASICチップ36上に導入されている。ASICチップ36上の論理回路によって、上位ビットと下位ビットの両方のリフレッシュを行うことができ、マスタRAS信号がアクティブになる前にアドレス・ビットA10が有効になるように適切なタイミングも実現される。

【0016】従来の技術と異なる方式で操作される信号はRAS0とRAS1のみであるため、ASICチップ36に含まれる論理回路をRAS0とRAS1についてのみ図6に示す。CAS、WE、OEなどその他の信号は、メモリ制御器20によって出力される従来の信号であるため図示していない。

【0017】図6からわかるように、RAS0は受信器40に送られ、RAS1は受信器442に送られる。各受信器の目的は、周知の方式でRAS0とRAS1にアクティブ信号とイナクティブ信号との間のきわめて迅速なスルー・レートまたは遷移時間を提供することである。この信号遷移を図7に示す。RAS0信号およびRAS1信号は受信器40および42からANDゲート44に送られ、その出力が遅延器45の入力端子に印加され、その出力がマスタRAS信号であり、デバイス・ドライバ45aを介してSIMM26のRASを構成する。受信器40および42の出力信号はORゲート46にも入力信号として送られ、RAS1信号もORゲート48の一方の入力信号として送られる。ORゲート46の出力信号はインバータ50の入力信号として送られ、2,048ビットをカウントするカウンタ52にも送られる。インバータ50とカウンタ52の出力信号は、ANDゲート54に入力信号として供給され、ANDゲート54の出力信号がORゲート48の他方の入力信号として供給される。ORゲート48の出力信号はドライバ56に送られ、ドライバ56の出力信号がアドレス・ピンA10に信号として印加される。この論理回路の動作の概要は以下の通りである。受信器40と42からANDゲート44へRAS0信号とRAS1信号が出力され、その出力信号が遅延器45とデバイス・ドライバ45aに供給されて、マスタRASとしてDRAM32a～32dに出力される。受信器40および42と遅延器45の目的は、A10上の信号が有効になるまでマスタRAS信号がチップに到着しないようにすることである。これは、受信器40および42によってRAS0信号およびRAS1信号の比較的迅速な遷移を実現し、図7に示すようにアクティブ状態からイナクティブ状態またはイナクティブ状態からアクティブ状態への遷移における遷移時間またはスルー・レートがきわめて迅速になるようにし、マスタRASの明確な事前選択された遅延値が存在するようにすることによって達成される。

【0018】回路のその他の部分は、RAS0がローになってアクティブになり、RAS1がハイのままの場合、ドライバ56からA10アドレス・ピンへの出力がなく、したがって下位の1,024アドレスのみがアドレスされるように構成される。RAS1のみがローになり、RAS0がハイのままの場合、ドライバ56からA10ピンへの信号の出力があり、上位アドレス1,025～2,048がアドレスされる。1回目の1,024リフレッシュ・サイクル中にRAS1とRAS0の両方がローになってRORリフレッシュを示した場合、A10ピン上の信号はハイおよびイナクティブの状態を維持し、したがってこれらの1回目の1,024サイクル中に下位1,024アドレス行が順次にリフレッシュされる。2回目の1,024リフレッシュ・サイクルの場合、ピンA10上の信号がローになってアクティブになり、したがって次の1,024サイクル中に1,025～2,048行が順次にリフレッシュされる。簡単に言えば、これは以下のように述べることができる。ORゲート46の出力信号はRAS0とRAS1の両方がローの場合、すなわち両方がアクティブの場合にのみローであり、制御装置がリフレッシュを行っていることを示す。インバータ50の出力信号はORゲート46の出力信号のコンプリメントである。したがって、ANDゲート54の出力がローの場合、インバータの出力はハイであり、ANDゲート54の出力信号がハイの場合、インバータの出力信号はローである。RAS0の出力信号は、RAS0とRAS1の両方がローの場合を除き、常にORゲート46の出力をローにし、それによってインバータ50がハイになり、それによってカウンタ52からの信号がANDゲート54の入力端子に入れられる。RAS0とRAS1の両方がローのとき、ORゲート48によってANDゲート54からの出力信号をドライバ56に出力できるようになる。RAS0またはRAS1のどちらかがローでない場合、受信器42からの出力信号がORゲート48に入れられる。カウンタ52の出力信号は、その最上位ビットがANDゲート54に入力される。カウンタは2,048ビットの2進カウンタであるため、1回目の1,024サイクル中、最上位ビットは論理0になり、次の1,024サイクルでは論理1になる。RAS0とRAS1の両方がローからハイになるたびにカウンタが増加する。このようにして、カウンタは2,048サイクルを1つずつ処理する。1回目の1,024サイクル中、カウンタの最上位ビット出力は「0」であり、その場合、A10アドレス・ピンでの入力信号はローである。2回目の1,024クロック・サイクル中は、カウンタの最上位ビット出力は「1」であり、それによってアドレス・ピンA10への出力信号が2進「1」としてアクティブ・ローになる。したがって、要約すると、RAS0のみがアクティブ・ローになった場合、ORゲート48からの出力信号と、したがって



てドライバ56からの出力信号は出力されず、A10アドレス・ピンはイナクティブのままである。RAS1信号のみがローになった場合、ORゲート48からの出力信号はRAS信号R1であり、したがってドライバ56の出力もRAS1の出力信号であり、これはローであるため、アドレス・ピンA10がローになり、「1」となる。しかし、RAS0とRAS1が両方ともローになった場合、ORゲート48からの出力信号と、したがってドライバ56からの出力信号は、カウンタがその1回目の1, 024サイクル中であるか2回目の1, 024サイクル中であるかによってローまたはハイになる。カウンタが1回目の1, 024サイクルの場合、出力信号はローであり、A10はイナクティブ・ハイである。2回目の1, 024サイクル中の場合、出力信号はハイであり、A10ピンはアクティブ・ローで2進1である。入力信号に基づくドライバ56の出力信号をわかりやすくするため、RAS0およびRAS1入力に基づくアドレスA10への出力の組合せ真理値表を以下に示す。

【表1】RASオンリー・リフレッシュ真理値表

| RAS0入力 | RAS1入力 | A10出力 |
|--------|--------|-------|
| 0      | 0      | カウンタ  |
| 0      | 1      | RAS1  |
| 1      | 0      | RAS1  |
| 1      | 1      | 指定なし  |

【0019】図8に、図6の論理回路から多少変更されているが同じ目的を達成する論理回路を示す。この論理回路では、RAS0信号およびRAS1信号はやはり受信器40および42によって受信され、ANDゲート44に出力され、その出力信号が遅延器45に出力され、さらに遅延器45はドライバ45aに信号を出力し、その出力信号がマスターRASとなる。受信器40および42はそれぞれの出力信号をORゲート46にも供給する。しかし、この回路のその他の部分は図6の回路とは多少異なる。ORゲート46の出力信号はカウンタ52に出力され、カウンタ52の出力信号が反転NORゲート60の一方の入力信号として供給される。NORゲート60への他方の入力信号は、RAS0信号である。NORゲート60からの出力信号はNORゲート62の一方の入力端子に供給され、その他方の入力信号はRAS1信号である。NORゲート62からの出力信号はドライバ56に出力され、ドライバ56はアドレス・ピンA10に信号を送る。この論理回路は多少異なるが、それにもかかわらず出力信号は同じであり、前掲の真理値表は図8の場合も図6の場合と同じである。

【0020】以上、本発明をS IMM上のDRAMカードと共に使用する場合について説明した。しかし、使用法はこれには限定されない。本発明はその他の様々なメモリと共に使用することができ、DIMMあるいは「オンボード」メモリまたは「プレーナ」メモリまたは「システム」メモリとしても使用することができる。

【0021】したがって、2M×8のDRAMが実装されたS IMMおよびS IMMを使用するシステムの好ましい実施態様について説明した。しかし、以上の説明を念頭に置き、この説明は例として述べたに過ぎず、本発明は本明細書に記載されている特定の実施態様には限定されず、特許請求の範囲に記載されている本発明の真の精神から逸脱することなく様々な構成変更、修正、および代用を実施することができるものと理解される。

【0022】まとめとして、本発明の構成に関して以下の事項を開示する。

【0023】(1) Y+1ビットの行アドレスを有するDRAMチップから成り1つのRAS信号によって作動させられるメモリを、Y個の行アドレス信号と第1および第2のRAS信号を出力するメモリ制御器からの信号を使用してコンピュータ・システムにおいて制御する方法であって、前記第1のRAS信号を前記Y+1アドレスの上位ビットとして供給するステップと、前記第1と第2のRAS信号のうちどちらかがアクティブになるのに応答してアクティブになるマスターRAS信号を形成するステップとを含み、前記システムが前記第1と第2のRAS信号が同時にアクティブになることに基づいて各行アドレスに対して個別に順次にリフレッシュ操作を行い、リフレッシュ・サイクル中に前記アドレスの前記上位ビットとしての前記第1のRAS信号の印加を制御して所与の数のリフレッシュ・サイクル後に各行のリフレッシュを行う方法。

(2) 前記マスターRAS信号を生成する論理と前記上位ビットがASICチップ上で生成されることを特徴とする、上記(1)に記載の方法。

(3) 前記リフレッシュ・サイクルがカウントされ、リフレッシュのためにアクティブにされる行が前記カウントの関数であることを特徴とする、上記(1)に記載の方法。

(4) 前記マスターRAS信号を生成する論理と前記上位ビットがASICチップ上で生成され、リフレッシュ・サイクルがカウントされ、リフレッシュのためにアクティブにされる行が前記カウントの関数であることを特徴とする、上記(1)に記載の方法。

(5) 前記リフレッシュされるメモリがコンピュータ・システム内のメモリ・カード上にあることを特徴とする、上記(1)に記載の方法。

(6) 前記DRAMチップが、11行×10列構成でアドレス指定される2M×8ビットのDRAMを含むことを特徴とする、上記(1)に記載の方法。

(7) Y+1ビットの行アドレスを有するDRAMチップから成り、1つのRAS信号によって作動させられるメモリを、Y個の行アドレス信号と第1および第2のRAS信号を出力するメモリ制御器からの信号を使用してコンピュータ・システムにおいて制御する方法であって、前記第1のRAS信号を前記Y+1アドレスの上位

13

ビットとして供給するステップと、前記第1と第2のRAS信号のうちどちらかがアクティブになることに応答してアクティブになるマスターRAS信号を形成するステップとを含み、前記1つのRAS信号のイナクティブ状態とアクティブ状態との間の遷移時間と、前記マスターRAS信号のイナクティブ状態とアクティブ状態との間の遷移時間とを制御して、前記1つのRASの遷移が前記マスターRASの遷移の前に起こるようにする方法。

(8) 前記マスターRASと上位ビットを形成する前記RASとがASICチップによって生成されることを特徴とする、上記(7)に記載の方法。

(9) Y個の行アドレス信号と第1および第2のRAS信号を出力するメモリ制御器と、Y+1ビットの行アドレスを有するDRAMチップを含むメモリと、前記メモリ制御器から前記第1および第2のRAS信号を受け取り、前記第1または第2のRAS信号がアクティブになるのに応答してマスターRAS信号を生成し、前記第1のRASがアクティブになると前記アドレスの上位ビットを生成する論理回路とを含み、前記論理回路が、前記メモリ制御器からの前記第1および第2のRAS信号に同時に応答して各行アドレスに対して個別に順次にリフレッシュ操作を行うことができるようにする回路を有し、リフレッシュ・サイクル中に前記アドレスの前記上位ビットに対する前記第1のRAS信号の印加を制御することを特徴とするコンピュータ・システム。

(10) 前記論理回路が、リフレッシュ・サイクル中に上位アドレス・ビットとしての前記第1のRAS信号の印加を制御するように接続されたカウンタを含むことを特徴とする、上記(9)に記載のシステム。

(11) 前記論理回路がASICチップ上に配置されていることを特徴とする、上記(9)に記載のシステム。

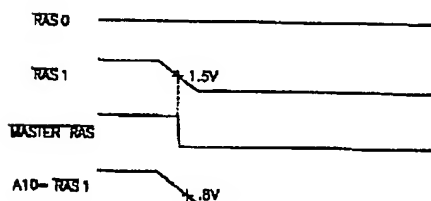
(12) 前記メモリがDRAMカードであることを特徴とする、上記(9)に記載のシステム。

(13) 前記メモリが11行×10列のアドレス構成の2M×8ビットDRAMを含むことを特徴とする、上記(9)に記載のシステム。

#### 【図面の簡単な説明】

【図1】本発明によるバスおよびアドオン・メモリ・カードを備えたパーソナル・コンピュータの相互接続を示す高水準図である。

【図4】



14

\*【図2】従来の技術による1M×4のDRAMを使用したSIMMを示す高水準図である。

【図3】従来の技術による2M×8のDRAMを使用したSIMMカードの高水準図である。

【図4】図3に示す論理回路の信号構成の一部の信号図である。

【図5】本発明による2M×8のDRAMを使用したSIMMカードの高水準図である。

【図6】図5に示すDRAM構成を有するSIMMを動作させる本発明の論理回路を示す論理図である。

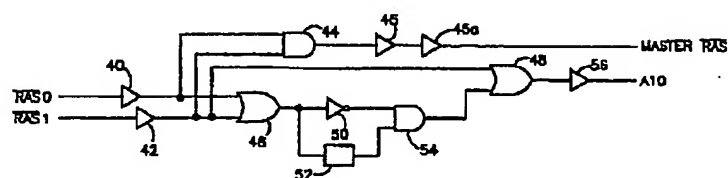
【図7】図6の回路を使用するRAS信号の信号図である。

【図8】図3のDRAM構成を有するSIMMを動作させる本発明の他の論理回路を示す論理図である。

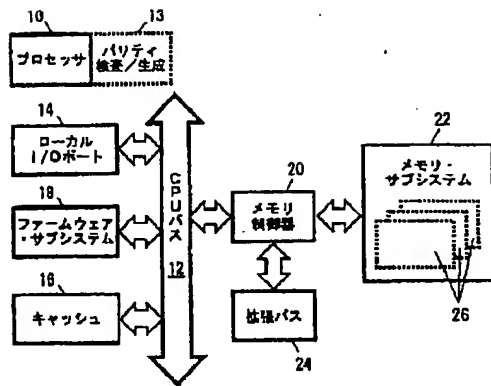
#### 【符号の説明】

- 10 プロセッサ
- 12 CPUバス
- 13 パリティ生成/検査装置
- 14 ローカルI/Oポート
- 16 キャッシュ・メモリ
- 18 ファームウェア・サブシステム
- 20 メモリ制御器
- 22 メモリ・サブシステム
- 24 拡張バス
- 26 SIMM
- 32 DRAM
- 34 ANDゲート
- 36 ASICチップ
- 40 受信器
- 42 受信器
- 44 ANDゲート
- 45 遅延器
- 45a ドライバ
- 46 ORゲート
- 48 ORゲート
- 52 カウンタ
- 54 ANDゲート
- 56 ドライバ
- 60 NORゲート
- 62 NORゲート

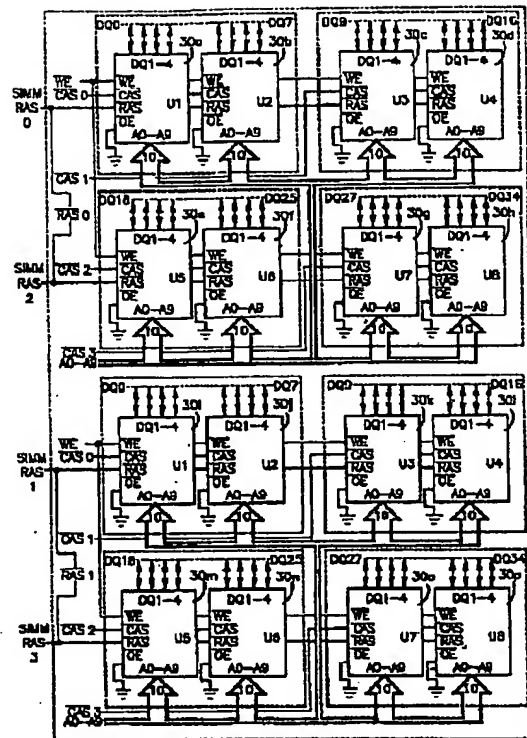
【図6】



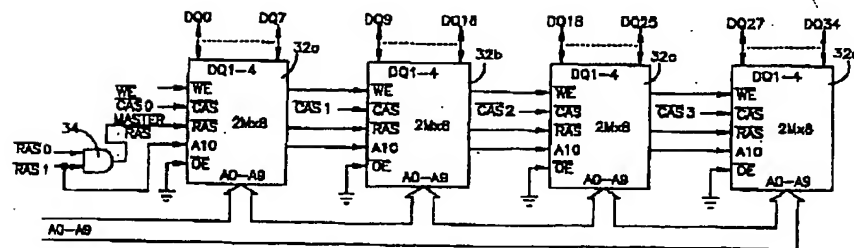
【図1】



【図2】



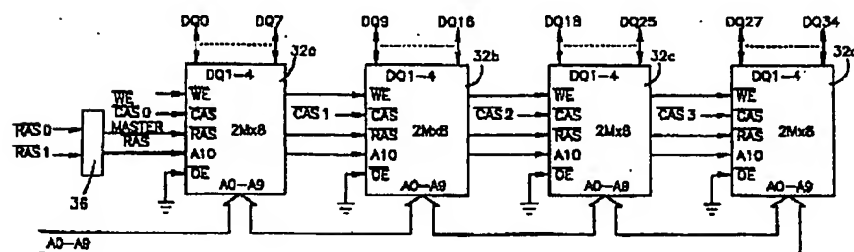
【図3】



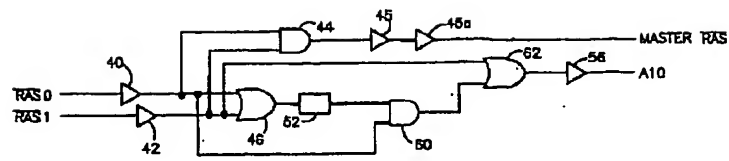
【図7】



【図5】



【図8】



フロントページの続き

(72)発明者 マーク・ウィリアム・ケログ  
 アメリカ合衆国05452 バーモント州エセ  
 ックス・ジャンクション コーデュロイ・  
 ロード 29